

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-306194

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

G11C 27/02

G01R 19/00

H03M 1/12

(21)Application number : 08-120172

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 15.05.1996

(72)Inventor : AZUMA KOICHI  
YAMAGUCHI HIDEHIKO  
TOMARI NAOSADA

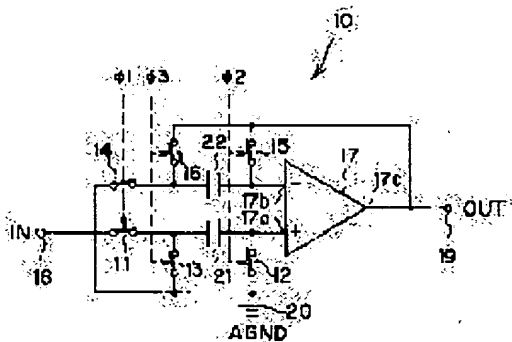
## (54) SAMPLE-AND-HOLD CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a sample-and-hold circuit in which feed through error voltage and offset error caused by a switch circuit is reduced.

**SOLUTION:** Clock signals  $\phi_1$ ,  $\phi_2$  are made a high level, a clock signal  $\phi_3$  is made a low level, switch circuits 11, 14; 12, 15 are turned on, switch circuits 13, 16 are turned off, and input voltage V1, offset error voltage V0 are charged respectively to first and second capacitors 21, 22.

Next, the clock signals  $\phi_1$ ,  $\phi_2$  are made a low level, the clock signal  $\phi_3$  is made high level, switch circuits 11, 14; 12, 15 are turned off, switch circuits 13, 16 are turned on, and offset error voltage V0 and feed through error voltage of the switch circuits are canceled.



## LEGAL STATUS

[Date of request for examination]

22.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**BEST AVAILABLE COPY**



[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-306194

(43) 公開日 平成9年(1997)11月28日

(51) Int. Cl. <sup>6</sup>	識別記号	弁内整理番号	F I	技術表示箇所
G 1 1 C 27/02			G 1 1 C 27/02	D
G 0 1 R 19/00			G 0 1 R 19/00	U
H 0 3 M 1/12			H 0 3 M 1/12	A

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平8-120172

(22) 出願日 平成8年(1996)5月15日

(71) 出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目17番22号

(72) 発明者 東 幸一

神奈川県足柄上郡中井町境430 グリーン  
テクなかい 富士ゼロックス株式会社内

(72) 発明者 山口 英彦

神奈川県足柄上郡中井町境430 グリーン  
テクなかい 富士ゼロックス株式会社内

(72) 発明者 泊 直貞

神奈川県足柄上郡中井町境430 グリーン  
テクなかい 富士ゼロックス株式会社内

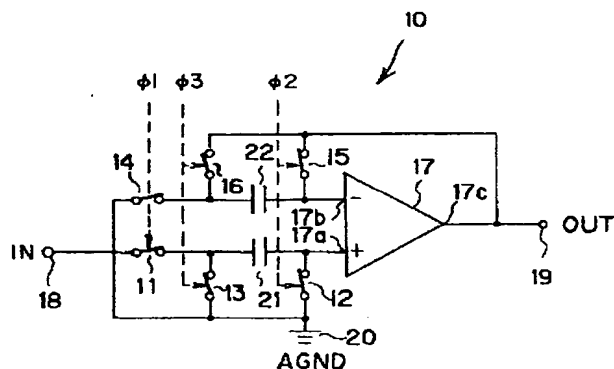
(74) 代理人 弁理士 山田 正紀 (外1名)

(54) 【発明の名称】 サンプル・ホールド回路

(57) 【要約】

【課題】スイッチ回路により発生するフィード・スルー誤差電圧およびオフセット誤差の低減化が図られたサンプル・ホールド回路を提供する。

【解決手段】クロック信号 $\phi 1$ 、 $\phi 2$ を'H'レベル、クロック信号 $\phi 3$ を'L'レベルにして、スイッチ回路11、14;12、15をオン、スイッチ回路13、16をオフして、第1、第2のコンデンサ21、22に、それぞれ、入力電圧 $V_1$ 、オフセット誤差電圧 $V_o$ を充電し、次にクロック信号 $\phi 1$ 、 $\phi 2$ を'L'レベル、クロック信号 $\phi 3$ を'H'レベルにして、スイッチ回路11、14;12、15をオフ、スイッチ回路13、16をオンして、オフセット誤差電圧 $V_o$ 、スイッチ回路のフィード・スルー誤差電圧をキャンセルする。



BEST AVAILABLE COPY

Y4000-1004-00000000-0000

## 【特許請求の範囲】

【請求項1】 逆相入力端と正相入力端とからなる2つの入力端、および1つの出力端を有する、演算増幅型のバッファ回路、

信号入力端子、

該信号入力端子と前記バッファ回路の正相入力端との間に互いに直列に配置された、該バッファ回路側から順に、第1のコンデンサ、および所定の第1のクロック信号で駆動される第1のスイッチ回路、

前記バッファ回路の正相入力端とアナログ基準電圧との間に配置され、前記第1のクロック信号と同相の第2のクロック信号で駆動される第2のスイッチ回路、前記第1のスイッチ回路と前記第1のコンデンサとの接続点と、前記アナログ基準電圧との間に配置され、前記第1のクロック信号が反転した第3のクロック信号で駆動される第3のスイッチ回路、

前記アナログ基準電圧と前記バッファ回路の逆相入力端との間に互いに直列に配置された、該バッファ回路側から順に、第2のコンデンサ、および前記第1のクロック信号で駆動される第4のスイッチ回路、

前記バッファ回路の逆相入力端と前記バッファ回路の出力端との間に配置され、前記第2のクロック信号で駆動される第5のスイッチ回路、および前記第4のスイッチ回路と前記第2のコンデンサとの接続点と、前記バッファ回路の出力端との間に配置され、前記第3のクロック信号で駆動される第6のスイッチ回路を備えたことを特徴とするサンプル・ホールド回路。

【請求項2】 逆相入力端と正相入力端とからなる2つの入力端、および1つの出力端を有する、演算増幅型のバッファ回路、

第1の信号入力端子、

該第1の信号入力端子と前記バッファ回路の正相入力端との間に互いに直列に配置された、該バッファ回路側から順に、第1のコンデンサ、および所定の第1のクロック信号で駆動される第1のスイッチ回路、

前記バッファ回路の正相入力端とアナログ基準電圧との間に配置され、前記第1のクロック信号と同相の第2のクロック信号で駆動される第2のスイッチ回路、第2の信号入力端子、

前記第1のスイッチ回路と前記第1のコンデンサとの接続点と、前記第2の信号入力端子との間に配置され、前記第1のクロック信号が反転した第3のクロック信号で駆動される第3のスイッチ回路、

前記アナログ基準電圧と前記バッファ回路の逆相入力端との間に互いに直列に配置された、該バッファ回路側から順に、第2のコンデンサ、および前記第1のクロック信号で駆動される第4のスイッチ回路、

前記バッファ回路の逆相入力端と前記バッファ回路の出力端との間に配置され、前記第2のクロック信号で駆動される第5のスイッチ回路、および前記第4のスイッチ

回路と前記第2のコンデンサとの接続点と、前記バッファ回路の出力端との間に配置され、前記第3のクロック信号で駆動される第6のスイッチ回路を備えたことを特徴とするサンプル・ホールド回路。

【請求項3】 前記第1のクロック信号と前記第2のクロック信号が、同一のクロック信号であり、前記第3のクロック信号と、前記第1及び第2のクロック信号が、相互に180度の位相差を持ち、スイッチ回路をオン状態に駆動するタイミングに重ならない2相クロックであることを特徴とする請求項1又は2記載のサンプル・ホールド回路。

【請求項4】 前記第2のクロック信号と前記第3のクロック信号が、相互に180度の位相差を持ち、スイッチ回路をオン状態に駆動するタイミングに重ならない2相クロックであり、前記第1のクロック信号が前記第3のクロック信号の反転クロック信号であることを特徴とする請求項1又は2記載のサンプル・ホールド回路。

【請求項5】 前記アナログ基準電圧が、入力電圧範囲内の中間電圧に設定されてなることを特徴とする請求項1又は2記載のサンプル・ホールド回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力電圧をサンプリングして保持し、保持した電圧に応じた電圧を出力するサンプル・ホールド回路に関し、特に精度の高いサンプル・ホールド回路に関する。

【0002】

【従来の技術】図7は、従来のサンプル・ホールド回路を示す回路図である。図7に示すサンプル・ホールド回路90には、演算増幅器93が備えられている。この演算増幅器93は、正相入力端93aと逆相入力端93bとからなる2つの入力端、および1つの出力端93cを有する。また、このサンプル・ホールド回路90には、信号入力端子96も備えられている。信号入力端子96には入力信号INが入力される。この信号入力端子96と演算増幅器93の正相入力端93aとの間にスイッチ回路91が配置されている。このスイッチ回路91は、PNトランスファ・ゲート回路とフィードスルー補償回路から構成されており、互いに逆相のクロック信号φ1、φ2で駆動される。また、演算増幅器93の正相入力端93aとグラウンドGNDとの間に、コンデンサ94が配置されている。さらに、演算増幅器93の逆相入力端93bと出力端93cとの間に、スイッチ回路92が配置されている。このスイッチ回路92も、PNトランスファ・ゲート回路とフィードスルー補償回路から構成されており、互いに逆相のクロック信号φ1、φ2で駆動される。また、演算増幅器93の逆相入力端93bと出力端93cとの間に、コンデンサ95も配置されている。演算増幅器93の出力端93cは信号出力端子97に接続されている。この信号出力端子97からは出

力信号OUTが出力される。

【0003】以上のように構成されたサンプル・ホールド回路90において、信号入力端子96に入力信号INとして電圧V1が入力された状態で、クロック信号φ1が'H'レベルになり、かつクロック信号φ2が'L'レベルになると、スイッチ回路91、92がともにオンする。すると、信号入力端子96に入力されている電圧V1がスイッチ回路91を経由して、演算増幅器93の正相入力端93aに入力されるとともに、その電圧V1がコンデンサ94に充電される。このようにして、サンプル・ホールド回路70で電圧V1がサンプリングされ保持される。

【0004】またスイッチ回路92がオンしているため、演算増幅器93の出力端93cから出力された電圧がその演算増幅器93の逆相入力端93bに入力され、またコンデンサ95の両端には、同じ値の電圧が印加される。従って、このコンデンサ95の電荷の蓄積量は0である。次に、クロック信号φ1、φ2が互いに反転し、クロック信号φ1が'L'レベルになり、かつクロック信号φ2が'H'レベルになると、スイッチ回路91、92はともにオフする。すると、演算増幅器93の出力端子93cから、コンデンサ94に充電された電圧V1に基づいた電圧が出力される。

【0005】ここで、スイッチ回路91により発生するフィード・スルー誤差電圧は、スイッチ回路92により発生するフィード・スルー誤差電圧により打ち消され、これによりフィード・スルー誤差電圧により生じる入力電圧V1と演算増幅器93から出力される電圧との誤差が改善されている。

【0006】

【発明が解決しようとする課題】しかし、図7に示すサンプル・ホールド回路90では、演算増幅器93の正相入力端93aからみたスイッチ回路91とコンデンサ94との構成と、その演算増幅器93の逆相入力端93bからみたスイッチ回路92とコンデンサ95との構成は、対称的ではないため、フィード・スルー誤差電圧を完全に除去することが困難である。

【0007】また、このサンプル・ホールド回路90では、演算増幅器93を構成する素子ばらつき等によりオフセット誤差電圧が発生するため、精度の高いサンプル・ホールド回路70を実現することが困難であった。本発明は、上記事情に鑑み、スイッチ回路により発生するフィード・スルー誤差電圧およびオフセット誤差電圧の低減化が図られたサンプル・ホールド回路を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を解決する本発明の第1のサンプル・ホールド回路は、

(1-1) 逆相入力端と正相入力端とからなる2つの入力端、および1つの出力端を有する、演算増幅型のバッ

ファ回路

(1-2) 信号入力端子、

(1-3) その信号入力端子と上記バッファ回路の正相入力端との間に互いに直列に配置された、そのバッファ回路側から順に、第1のコンデンサ、および所定の第1のクロック信号で駆動される第1のスイッチ回路

(1-4) 上記バッファ回路の正相入力端とアナログ基準電圧との間に配置され、上記第1のクロック信号と同相の第2のクロック信号で駆動される第2のスイッチ回路

(1-5) 上記第1のスイッチ回路と上記第1のコンデンサとの接続点と、上記アナログ基準電圧との間に配置され、上記第1のクロック信号が反転した第3のクロック信号で駆動される第3のスイッチ回路

(1-6) 上記アナログ基準電圧と上記バッファ回路の逆相入力端との間に互いに直列に配置された、そのバッファ回路側から順に、第2のコンデンサ、および上記第1のクロック信号で駆動される第4のスイッチ回路

(1-7) 上記バッファ回路の逆相入力端と上記バッファ回路の出力端との間に配置され、上記第2のクロック信号で駆動される第5のスイッチ回路

(1-8) 上記第4のスイッチ回路と上記第2のコンデンサとの接続点と、上記バッファ回路の出力端との間に配置され、上記第3のクロック信号で駆動される第6のスイッチ回路を備えたことを特徴とする。

【0009】また上記目的を解決する本発明の第2のサンプル・ホールド回路は、

(2-1) 逆相入力端と正相入力端とからなる2つの入力端、および1つの出力端を有する、演算増幅型のバッ

ファ回路

(2-2) 第1の信号入力端子

(2-3) その第1の信号入力端子と上記バッファ回路の正相入力端との間に互いに直列に配置された、そのバッファ回路側から順に、第1のコンデンサ、および所定の第1のクロック信号で駆動される第1のスイッチ回路

(2-4) 上記バッファ回路の正相入力端とアナログ基準電圧との間に配置され、上記第1のクロック信号と同相の第2のクロック信号で駆動される第2のスイッチ回路

(2-5) 第2の信号入力端子

(2-6) 上記第1のスイッチ回路と上記第1のコンデンサとの接続点と、上記第2の信号入力端子との間に配置され、上記第1のクロック信号が反転した第3のクロック信号で駆動される第3のスイッチ回路

(2-7) 上記アナログ基準電圧と上記バッファ回路の逆相入力端との間に互いに直列に配置された、そのバッファ回路側から順に、第2のコンデンサ、および上記第1のクロック信号で駆動される第4のスイッチ回路

(2-8) 上記バッファ回路の逆相入力端と上記バッファ回路の出力端との間に配置され、上記第2のクロック

信号で駆動される第5のスイッチ回路

(2-9) 上記第4のスイッチ回路と上記第2のコンデンサとの接続点と、上記バッファ回路の出力端との間に配置され、上記第3のクロック信号で駆動される第6のスイッチ回路を備えたことを特徴とする。

【0010】ここで、上記第1のクロック信号と上記第2のクロック信号が、同一のクロック信号であり、上記第3のクロック信号と、上記第1及び第2のクロック信号が、相互に180度の位相差を持ち、スイッチ回路をオン状態に駆動するタイミングに重なりのない2相クロックであることが効果的である。また、上記第2のクロック信号と上記第3のクロック信号が、相互に180度の位相差を持ち、スイッチ回路をオン状態に駆動するタイミングに重なりのない2相クロックであり、上記第1のクロック信号が上記第3のクロック信号の反転クロック信号であることが好ましい。

【0011】さらに、上記アナログ基準電圧が、入力電圧範囲内の中間電圧に設定されてなることが好ましい。

【0012】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は、本発明の第1のサンプル・ホールド回路の一実施形態の回路図である。図1に示すサンプル・ホールド回路10には、演算増幅器(本発明にいうバッファ回路)17が備えられている。この演算増幅器17は、正相入力端17aと逆相入力端17bとからなる2つの入力端、および1つの出力端17cを有する。また、サンプル・ホールド回路10には、信号入力端子18も備えられている。信号入力端子18には入力信号INが入力される。この信号入力端子18と演算増幅器17の正相入力端17aとの間に互いに直列に、クロック信号φ1(本発明にいう第1のクロック信号)で駆動される第1のスイッチ回路11と第1のコンデンサ21が配置されている。

【0013】さらに、演算増幅器17の正相入力端17aとアナログ基準電圧端子20との間に、クロック信号φ2(本発明にいう第2のクロック信号)で駆動される第2のスイッチ回路12が配置されている。アナログ基準電圧端子20にはアナログ基準電圧信号AGNDが入力される。また、第1のスイッチ回路11と第1のコンデンサ21との接続点と、アナログ基準電圧端子20との間に、クロック信号φ3(本発明にいう第3のクロック信号)で駆動される第3のスイッチ回路13が配置されている。さらに、アナログ基準電圧端子20と演算増幅器17の逆相入力端17bとの間に互いに直列に、クロック信号φ1で駆動される第4のスイッチ回路14と第2のコンデンサ22が配置されている。また演算増幅器17の逆相入力端17bと出力端17cとの間に、クロック信号φ2で駆動される第5のスイッチ回路15が配置されている。また、第4のスイッチ回路14と第2のコンデンサ22との接続点と、演算増幅器17の出力端

17cとの間に、クロック信号φ3で駆動される第6のスイッチ回路16が配置されている。演算増幅器17の出力端17cは信号出力端子19に接続されている。この信号出力端子19からは出力信号OUTが出力される。

【0014】図2は、図1に示すサンプル・ホールド回路の各スイッチ回路を駆動する各クロック信号φ1、φ2、φ3の波形図である。図2において、クロック信号φ1とクロック信号φ2は同相の信号であり、クロック信号φ3は、クロック信号φ1、φ2に対して、180度の位相差を持ちスイッチ回路をオン状態に駆動するタイミングに重なりのない2相クロックの関係にある。

【0015】図1に示すサンプル・ホールド回路10において、信号入力端子18に入力信号INとして入力電圧V1が入力され、アナログ基準電圧端子20にアナログ基準電圧AGNDとしてアナログ基準電圧Vaが入力された状態で、図2に示すクロック信号φ1、φ2が'H'レベルになり、かつクロック信号φ3が'L'レベルになると、スイッチ回路11、14;12、15がオンし、スイッチ回路13、16がオフする。

【0016】スイッチ回路11がオン状態にあるため、そのスイッチ回路11を介して、信号入力端子18に入力されている電圧V1が第1のコンデンサ21の一端に入力される。またスイッチ回路12もオン状態にあるため、そのスイッチ回路12を介して、演算増幅器17の正相入力端17aおよび第1のコンデンサ21が、アナログ基準電圧端子20に接続される。これにより、演算増幅器17の正相入力端17aおよび第1のコンデンサ21にアナログ基準電圧Vaが入力される。さらにスイッチ回路15もオン状態にあるため、演算増幅器17がボルテージ・フォロア構成になり、これにより演算増幅器17は、正相入力端17aに入力されているアナログ基準電圧Vaに、その演算増幅器17が有するオフセット誤差電圧Voが加算された電圧Va+Voを出力端17cから出力する。

【0017】また、スイッチ回路14もオン状態にあるため、そのスイッチ回路14を介して第2のコンデンサ22の一端がアナログ基準電圧端子20に接続される。すると、第2のコンデンサ22の一端にはアナログ基準電圧Vaが入力され、一方その第2のコンデンサ22の他端には、演算増幅器17の出力端17cからの電圧Va+Voが入力され、第2のコンデンサ22にはオフセット誤差電圧Voが充電される。一方、第1のコンデンサ21には、入力電圧V1とアナログ基準電圧Vaとの差電圧(Va-V1)が充電され、これにより入力電圧V1がサンプリングされホールドされたことになる。

【0018】次に、クロック信号φ1、φ2が'L'レベルになり、かつクロック信号φ3が'H'レベルになると、スイッチ回路11、14;12、15がオフし、スイッチ回路13、16がオンする。すると、第1のコン



ンデンサ21にアナログ基準電圧 $V_a$ が入力され、この第1のコンデンサ21にはあらかじめ差電圧( $V_a - V_1$ )が充電されているため、この第1のコンデンサ21には電圧(演算増幅器17の正相転入力端17aには電圧( $2 \cdot V_a - V_1$ )が充電される。従って、演算増幅器17の正相入力端子17aには電圧( $2 \cdot V_a - V_1$ )が入力される。一方、演算増幅器17の逆相入力端17bには、演算増幅器17の出力電圧よりも第2のコンデンサ22に充電されたオフセット誤差電圧 $V_o$ の分だけ高い電圧が入力されるので、オフセット誤差電圧は除去(キャンセル)され、出力電圧は( $2 \cdot V_a - V_1$ )となり、アナログ基準電圧 $V_a$ に対する逆相出力電圧が得られる。

【0019】ここで、クロック信号 $\phi_1$ 、 $\phi_2$ が'H'レベルから'L'レベルになる瞬間にスイッチ回路11がオフし、このスイッチ回路11により発生するフィード・スルー誤差電圧が第1のコンデンサ21の一端に入力され、またそのスイッチ回路11と同時にオフするスイッチ回路12により発生するフィード・スルー誤差電圧が第1のコンデンサ21の他端に入力されるため、第1のコンデンサ21の両端には同一のフィード・スルー誤差電圧が入力される。従って、スイッチ回路11、12により発生するフィード・スルー誤差電圧がキャンセルされる。尚、スイッチ回路14、15についても同様にして、それらスイッチ回路14、15により発生するフィード・スルー誤差電圧がキャンセルされる。

【0020】図3は、図1に示すサンプル・ホールド回路のスイッチ回路を駆動する、図2とは異なるクロック信号 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の波形図である。図3に示すクロック信号 $\phi_2$ とクロック信号 $\phi_3$ とは、相互に180度の位相差を持ち、スイッチ回路をオン状態に駆動するタイミングに重なりのない2相クロックである。また、第1のクロック信号 $\phi_1$ は第3のクロック信号 $\phi_3$ の反転クロック信号である。

【0021】図3に示すクロック信号 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ を、図1に示すサンプル・ホールド回路10に適用した場合、クロック信号 $\phi_2$ の'H'レベルの方がクロック信号 $\phi_1$ の'H'レベルよりも先に'L'レベルに変化するため、スイッチ回路12、15の方がスイッチ回路11、14よりも先にオフする。従って、第1、第2のコンデンサ21、22の保持電圧に影響を与えるのはスイッチ回路12、15により発生するフィード・スルー誤差電圧である。この場合、スイッチ回路12、15にかかる電圧は、ともにアナログ基準電圧 $V_a$ であるので、スイッチ回路12、15が入力電圧依存性を有するにも拘らず、スイッチ回路12、15に発生するフィードスルー誤差電圧の差を同じにすることができ、スイッチ回路のオン、オフによる保持電圧の変動を極めて少なくすることができる。

【0022】また、アナログ基準電圧 $V_a$ を、予想され

る入力電圧範囲の中間電圧に設定することにより、入力電圧のサンプリング時に、演算増幅器17の出力電圧をその中間電圧に設定できるので、ホールド時の出力電圧の振幅を最大でも入力電圧範囲の半分にでき、整定時間を短くすることが可能である。図4は、本発明の第2のサンプル・ホールド回路の一実施形態の回路図である。尚、図1に示すサンプル・ホールド回路10の構成要素と同一の構成要素には同一の番号を付して示し、相違点について説明する。

【0023】図4に示すサンプル・ホールド回路40の構成は、図1に示すサンプル・ホールド回路10の構成と比較すると、信号入力端子41が増設されており、またその信号入力端子41に、第3のスイッチ回路13が接続されている。信号入力端子18、41には、入力信号 $IN_1$ 、 $IN_2$ が入力される。図4に示すサンプル・ホールド回路40において、信号入力端子18、41に、入力信号 $IN_1$ 、 $IN_2$ として電圧 $V_{i1}$ 、 $V_{i2}$ が入力された状態で、図2に示すクロック信号 $\phi_1$ 、 $\phi_2$ が'H'レベルになり、かつクロック信号 $\phi_3$ が'L'レベルになると、スイッチ回路11、14、12、15がオンし、スイッチ回路13、16がオフする。すると、スイッチ回路11がオン状態にあるため、そのスイッチ回路11を介して、信号入力端子18に入力されている電圧 $V_{i1}$ が第1のコンデンサ21の一端に入力される。またスイッチ回路12もオン状態にあるため、そのスイッチ回路12を介して、演算増幅器17の正相入力端17aおよび第1のコンデンサ21が、アナログ基準電圧端子20に接続される。これにより、演算増幅器17の正相入力端子17aおよび第1のコンデンサ21にアナログ基準電圧 $V_a$ が入力される。さらにスイッチ回路15もオン状態にあるため、演算増幅器17がボルテージ・フォロア構成になり、これにより演算増幅器17は、そのスイッチ回路12を介して、正相入力端17aに入力されているアナログ基準電圧 $V_a$ に、その演算増幅器17が有するオフセット誤差電圧 $V_o$ が加算された電圧 $V_a + V_o$ を出力端17cから出力する。

【0024】またスイッチ回路14もオン状態にあるため、そのスイッチ回路14を介して、第2のコンデンサ22の一端がアナログ基準電圧端子20に接続される。すると、第2のコンデンサ22の一端にはアナログ基準電圧 $V_a$ が入力され、一方その第2のコンデンサ22の他端には、演算増幅器17の出力端17cからの電圧 $V_a + V_o$ が入力され、第2のコンデンサ22にはオフセット誤差電圧 $V_o$ が充電される。また、第1のコンデンサ21には、入力電圧 $V_{i1}$ とアナログ基準電圧 $V_a$ との差電圧( $V_a - V_{i1}$ )が充電され、これにより入力電圧 $V_{i1}$ がサンプリングされホールドされたことになる。

【0025】次に、クロック信号 $\phi_1$ 、 $\phi_2$ が'L'レ

ベルになり、かつクロック信号φ3が‘H’レベルになると、スイッチ回路11, 14; 12, 15がオフし、スイッチ回路13, 16がオンする。すると、スイッチ回路13を介して、第1のコンデンサ21に信号入力端子41からの入力電圧Vi2が入力され、演算増幅器17の正相入力端17aには電圧(Vi2-Vi1)+Vaが入力される。一方、演算増幅器17の逆相入力端17bには、演算増幅器17の出力電圧よりも第2のコンデンサ22に充電されたオフセット誤差電圧Voの分だけ高い電圧が入力されるので、オフセット誤差電圧はキャンセルされ、出力電圧は(Vi2-Vi1)+Vaとなり、アナログ基準電圧Vaを基準とした入力電圧Vi1と入力電圧Vi2との差電圧の反転出力電圧が得られる。

【0026】また、図4に示すサンプル・ホールド回路40に対して、図3に示すクロック信号φ1, φ2, φ3を適用した場合も、前述したサンプル・ホールド回路10の場合と同様に、スイッチ回路12, 15で発生するフィード・スルー誤差電圧がほとんど同じになるため、スイッチ回路のオン、オフによる保持電圧の変動を極めて少なくすることができる。尚、ここではクロック信号φ1がクロック信号φ2よりも早く立ち上がるため、演算増幅器17の2つの入力端に印加される電圧が大きく変動し、スイッチ回路12によりアナログ基準電圧Vaに整定するまでの時間がかかる場合がある。そこで、アナログ基準電圧Vaを入力電圧範囲の中間電位に設定すると、この演算増幅器17の2つの入力端にかかる電圧の振れを入力電圧範囲の半分程度にでき、このためアナログ基準電圧Vaに復帰するまでの時間を短縮することができる。また、クロック信号φ1の立ち上がりをクロック信号φ2の立ち上がりに合わせると、演算増幅器17の2つの入力端に対して、サンプリングを開始する瞬間に大きな振幅を持つ電圧が印加されないようにすることができる。

【0027】図5は、図1に示すサンプル・ホールド回路をMOSトランジスタで構成した場合の回路図である。図1に示すスイッチ回路11~16は、それぞれPMOSTランジスタとNMOSTランジスタからなるトランスファ・ゲート回路とフィード・スルー電圧補償回路で構成されており、また図1に示す演算増幅器17は、基本的なMOSトランジスタ等で構成されている。インバータ51, 52, 53は、それぞれ、トランスファ・ゲート回路を駆動するための反転クロック信号を生成するためのものである。演算増幅器17は、バイアス電圧Vbで制御される電流源用PMOSTランジスタ60と入力用PMOSTランジスタ61, 62と電源ミラー用PMOSTランジスタ63, 64とから構成される入力段、バイアス電圧Vbで制御される電流源用PMOSTランジスタ65と出力用NMOSTランジスタ66とから構成される出力段、および補償抵抗67と補償容

量68とから構成される位相補償負荷で構成されている。尚、サンプル・ホールド回路10として同一の動作を行なうのであれば、この演算増幅器17を他の構成で実現してもよい。

【0028】スイッチ回路11~16では、そのスイッチ回路11~16を構成するNMOSTランジスタ、PMOSTランジスタのうちのNMOSTランジスタはスイッチ・オフの瞬間にゲート電圧が‘Hレベル’から‘L’レベルに遷移するので、ミラー容量によりソース端子及びドレイン端子が瞬間的に降下し、逆にPMOSTランジスタはソース端子及びドレイン端子が瞬間的に上昇する。ソース・ドレイン間を接続した補償トランジスタは、このミラー容量による瞬間的な変動を補償するためのものである。

【0029】ここで、図2に示すクロック信号φ1, φ2を用いた場合、スイッチ回路11, 14; 12, 15が同時にオフするので、それぞれのスイッチ回路11, 14; 12, 15でオフの瞬間に生じるフィールドスルー誤差電圧は、それぞれのスイッチ回路11, 14; 12, 15に付与されている、ミラー容量による瞬間的な変動を補償するための補償トランジスタと、第1, 第2のコンデンサ21, 22の両端に同一の電圧が印加されることによりキャンセルされ、第1, 第2のコンデンサ21, 22の保持電圧が維持される。

【0030】また、図3に示したクロック信号φ1, φ2, φ3を用いた場合、スイッチ回路12, 15が、スイッチ回路11, 14よりも早くオフするので、第1, 第2のコンデンサ21, 22の保持電圧に影響を与えるフィードスルー誤差電圧は、スイッチ回路12, 15で発生する。ここで、スイッチ回路12, 15のソース端子およびドレイン端子に入力される電圧は、ともにアナログ基準電圧Vaであるので、入力電圧依存性のあるスイッチ回路12, 15を用いた場合でも、スイッチ回路12, 15で発生するフィードスルー誤差電圧は同一であり、スイッチ回路12, 15のオン、オフによる、第1, 第2のコンデンサ21, 22の保持電圧の変動を極めて少なくすることができる。

【0031】図6は、図4に示すサンプル・ホールド回路をMOSトランジスタで構成した場合の回路図である。尚、図5に示す構成要素と同一の構成要素には同一の番号を付して示す。ここで、図2に示すクロック信号φ1, φ2を用いた場合、スイッチ回路11, 14; 12, 15が同時にオフするので、それぞれのスイッチ回路11, 14; 12, 15でオフの瞬間に生じるフィールドスルー誤差電圧は、それぞれのスイッチ回路11, 14; 12, 15に付与されている、ミラー容量による瞬間的な変動を補償するための補償トランジスタと、第1, 第2のコンデンサ21, 22の両端に同一の電圧が印加されることによりキャンセルされ、第1, 第2のコンデンサ21, 22の保持電圧が維持される。

【0032】また、図3に示したクロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ を用いた場合、スイッチ回路12、15が、スイッチ回路11、14よりも早くオフするので、第1、第2のコンデンサ21、22の保持電圧に影響を与えるフィードスルー誤差電圧は、スイッチ回路12、15で発生する。ここで、スイッチ回路12、15のソース端子およびドレイン端子に入力される電圧は、ともにアナログ基準電圧 $V_a$ であるので、入力電圧依存性のあるスイッチ回路12、15を用いた場合でも、スイッチ回路12、15で発生するフィードスルー誤差電圧は同一であり、スイッチ回路12、15のオン、オフによる、第1、第2のコンデンサ21、22の保持電圧の変動を極めて少なくすることができる。

【0033】

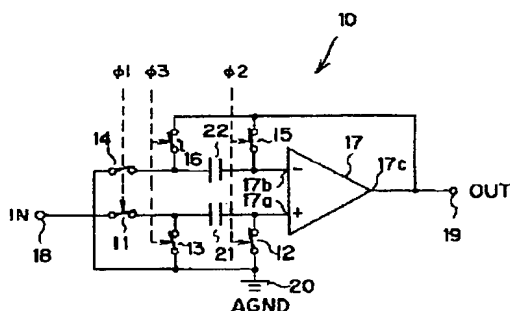
【発明の効果】以上説明したように、本発明によれば、スイッチ回路のオフ時に発生するフィードスルー誤差電圧を高精度に補償するので、保持電圧の誤差を極めて少なくすることができ、また演算増幅型のバッファ回路の持つオフセット誤差電圧を高精度に補償することができる。

【図面の簡単な説明】

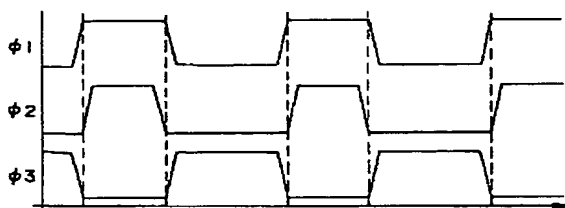
【図1】本発明の第1のサンプル・ホールド回路の一実施形態の回路図である。

【図2】図1に示すサンプル・ホールド回路のスイッチ回路を駆動するクロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ の波形図\*

【図1】



【図3】



\*である。

【図3】図1に示すサンプル・ホールド回路のスイッチ回路を駆動する、図2とは異なるクロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ の波形図である。

【図4】本発明の第2のサンプル・ホールド回路の一実施形態の回路図である。

【図5】図1に示すサンプル・ホールド回路をMOSトランジスタで構成した場合の回路図である。

【図6】図4に示すサンプル・ホールド回路をMOSトランジスタで構成した場合の回路図である。

【図7】従来のサンプル・ホールド回路の回路図である。

【符号の説明】

11, 12, 13, 14, 15, 16 スイッチ回路

17 演算増幅器

18, 41 信号入力端子

19 信号出力端子

20 アナログ基準電圧端子

21, 22 コンデンサ

20 51, 52, 53 インバータ

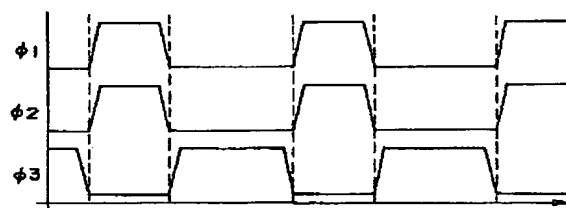
60, 61, 62, 65 PMOSトランジスタ

63, 64, 66 NMOSトランジスタ

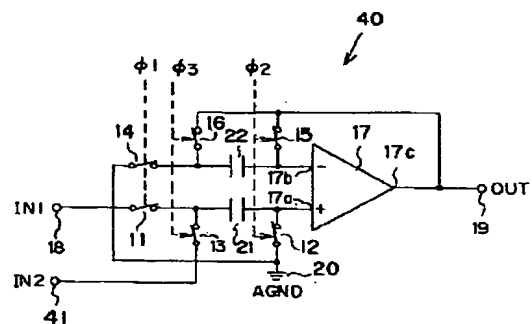
67 補償抵抗

68 補償容量

【図2】

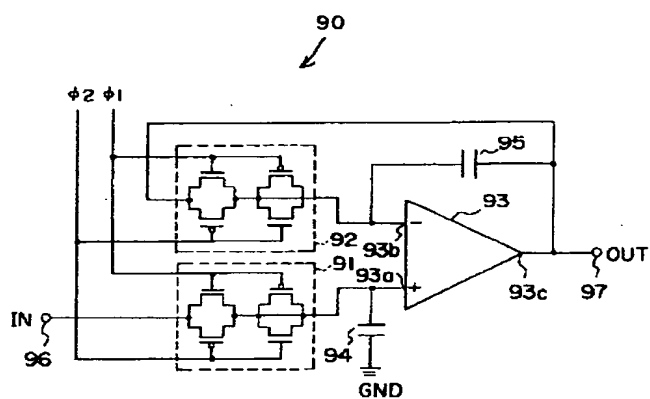


【図4】



[illegible]

【図7】



THE OFFICE OF THE ATTORNEY GENERAL  
UNITED STATES DEPARTMENT OF JUSTICE

**THIS PAGE BLANK (USPTO)**